

## ⑫ 公開特許公報(A) 平1-318248

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)12月22日

H 01 L 21/90

N-6824-5F

審査請求 未請求 請求項の数 2 (全9頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑮ 特 願 昭63-151653

⑯ 出 願 昭63(1988)6月20日

⑰ 発 明 者 槌 谷 孝 裕 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑰ 発 明 者 長 嶺 俊 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑰ 発 明 者 豊 福 毅 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑰ 発 明 者 佐 々 木 成 二 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑰ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑰ 代 理 人 弁 理 士 長 谷 川 文 廣 外 2 名

## 明 細 書

## 1. 発明の名称

半導体装置及びその製造方法

## 2. 特許請求の範囲

(1) 半導体基板(1)の表面に形成された下部配線層(2)と、この下部配線層(2)とコンタクト部(3)により接続されると共に支えられ、エア・アイソレーション部(4)により絶縁された上部配線層(5)とからなる多層配線構造を有する半導体装置において、

上部配線層(5)に、コンタクト部(3)以外にも、それを支える、絶縁物からなる支柱(6)を設けたことを特徴とする半導体装置。

(2) 半導体基板(101)の表面に下部配線層(102)を形成する工程と、

表面に層間絶縁膜(103)を堆積させた後、所定の位置にコンタクト窓(104)を形成する工程と、

表面に上部配線層(105)を形成し、所定の位置で下部配線層(102)とコンタクト部(106)により接続させる工程と、

コンタクト部(106)以外の部分の、層間絶縁膜(103)を所定の大きさに除去して開口部(108, 114)を形成する工程と、

開口部(108, 114)の内部に絶縁物(109, 115)を充填する工程と、

層間絶縁膜(103)を除去して、上部配線層(105)を支える絶縁物からなる支柱(111)を形成する工程からなることを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

〔概要〕

エア・アイソレーションされた多層配線及びその形成方法に関し、

下部配線層と上部配線層とを接続するコンタクト部に制約を設けることなく、上部配線層に十分な強度をもたせ、かつエア・アイソレーション

による寄生容量低下の効果を損なわないようにすることを目的とし、

半導体基板の表面に下部配線層を形成し、表面に層間絶縁膜を堆積させた後、所定の位置にコンタクト窓を形成し、表面に上部配線層を形成し、所定の位置で下部配線層とコンタクト部により接続させ、コンタクト部以外の部分の、層間絶縁膜を所定の大きさに除去して開口部を形成し、開口部の内部に絶縁物を充填し、層間絶縁膜を除去して、上部配線層を支える絶縁物からなる支柱を形成するように構成する。

(産業上の利用分野)

本発明は、半導体装置及びその製造方法、特にエア・アイソレーションされた多層配線及びその形成方法に関する。

近年、LSIの高密度化に伴い、配線を半導体装置の表面に多層に形成することが盛んに行われている。

そして、LSIが高速化するに従って、多層配

線の配線間の寄生容量が問題になってきている。

多層配線の配線間の寄生容量を低下させる方法として、エア・アイソレーション、すなわち空気により下部配線層と上部配線層とを分層する方法が考えられているが、エア・アイソレーション法にも解決すべき問題が多々存在するのが現状である。

(従来の技術)

第27図～第30図は、従来のエア・アイソレーション法による多層配線の形成方法の各工程を示す図である。

以下、第27図～第30図を用いて、従来のエア・アイソレーション法による多層配線の形成方法を説明する。

(工程1、第27図参照)

半導体基板301の表面に下部配線層302を形成する。

(工程2、第28図参照)

表面に下部配線層302が形成された半導体基

板301の表面にポリイミド層303を堆積させる。その後、ポリイミド層303をエッチングして、所定の位置に所定の大きさの開口部304を形成する。

(工程3、第29図参照)

ポリイミド層303の表面に上部配線層305を形成する。上部配線層305を構成する金属は開口部304にも充填し、下部配線層302とコンタクトをとるようにする。

(工程4、第30図参照)

ポリイミド層303を灰化して除去する。このようにして、半導体基板301の表面に形成された下部配線層302と、この下部配線層302とコンタクト部306で接続されると共に支えられ、かつエア・アイソレーション部307により分離された上部配線層305とからなる多層配線構造が得られる。

(発明が解決しようとする課題)

従来のエア・アイソレーションによる多層配線

には、上部配線層の強度が不足して種々のトラブルを引き起こすという問題があった。

トラブルの1例を第31図に示す。

第31図に示すように、上部配線層305はコンタクト部306でのみ支えられている。このため、コンタクト部306間の距離が長い場合、上部配線層305の物理的強度が低下してたわみが生じ、その結果、上部配線層305が下部配線層302に接触してしまうという問題が発生する。

また、上部配線層305同士が接触してしまうという問題も発生する。

この問題を解決する方法として、コンタクト部間の距離を短くする方法が考えられる。

第32図は、コンタクト部間の距離を短くして上記の問題点を解決したエア・アイソレーションによる多層配線の例を示す図である。

第32図において、半導体基板301の表面には、下部配線層302の他にダミー配線層307が形成されている。そして、上部配線層305はコンタクト部306で下部配線層302に接続さ

れると共に支えられ、さらに、ダミー・コンタクト部308でダミー配線層307に接続されると共に支えられている。この結果、ダミー・コンタクト部308を含めると、上部配線層305を支えるコンタクト部の数が増え、したがって、コンタクト部間の距離が短くなるので、上部配線層305の物理的強度は増大し、上記のトラブルを回避することができる。

しかしながら、ダミー配線層307を形成することは、配線パターンに大きな制約を設けることとなり、LSIの微細化の妨げとなる。また、ダミー・コンタクト部308を設けることは、抵抗を増大させることとなる。

したがって、第32図に示すように、コンタクト部間の距離を短くしても、上記のトラブルの根本的な解決策とはならない。

本発明は、下部配線層と上部配線層とを接続するコンタクト部間に制約を設けることなく、上部配線層に充分な強度をもたせ、かつエア・アイソレーションによる寄生容量低下の効果を損なわな

とコンタクト部により接続させる工程と、コンタクト部以外の部分の、層間絶縁膜を所定の大きさに除去して開口部を形成する工程と、開口部の内部に絶縁物を充填する工程と、層間絶縁膜を除去して、上部配線層を支える絶縁物からなる支柱を形成する工程からなるように構成する。

第1図は、本発明の原理説明図である。

第1図において、1は半導体基板、2は下部配線層、3はコンタクト部、4はエア・アイソレーション部、5は上部配線層、6は支柱である。

半導体基板1の内部には、能動素子や受動素子などが形成されている。

下部配線層2は、半導体基板1の表面に形成され、半導体基板1の内部に形成された種々の素子を相互に接続するためのものである。

コンタクト部3は、下部配線層2と上部配線層5とを電気的に接続すると共に上部配線層5を物理的に支える。

エア・アイソレーション部4は、上部配線層5を他の部分から絶縁するためのものである。

ようにした、エア・アイソレーションされた多層配線及びその形成方法を提供することを目的とする。

(課題を解決するための手段)

上記の目的を達成するために、本発明に係る半導体装置、特にエア・アイソレーションされた多層配線は、半導体基板の表面に形成された下部配線層と、この下部配線層とコンタクト部により接続されると共に支えられ、エア・アイソレーションにより絶縁された上部配線層とからなる多層配線構造を有する半導体装置において、上部配線層に、コンタクト部以外にも、それを支える、絶縁物からなる支柱を設けるように構成する。

また、本発明に係る半導体装置の製造方法、特にエア・アイソレーションされた多層配線の形成方法は、半導体基板の表面に下部配線層を形成する工程と、表面に層間絶縁膜を堆積させた後、所定の位置にコンタクト窓を形成する工程と、表面に上部配線層を形成し、所定の位置で下部配線層

上部配線層5は、半導体基板1の内部に形成された種々の素子を相互に接続するためのものである。

支柱6は、絶縁物からなり、上部配線層5を物理的に支えるためのものである。

第2図(a)～(c)は、第1図のA-A'断面図であり、支柱6の各種の構造を示している。

第3図(a)～(c)は、第1図のB-B'断面図であり、支柱6の各種の構造を示している。

第2図及び第3図において、(a)は、支柱6が上部配線層5をその側面で支える構造を示しており、(b)は、支柱6が上部配線層5をその側面及び下面の端部で支える構造を示しており、(c)は、支柱6が上部配線層5を側面、下面の端部及び上面で支える構造を示している。

(作用)

第1図に示すように、本発明に係るエア・アイソレーションされた多層配線は、コンタクト部3間の距離の長い部分や下部配線層2と上部配線層

5とが交差する部分に絶縁物からなる支柱6を設けて、上部配線層5の物理的強度を確保しようとするものである。

支柱6は、下部配線層2のパターンの制約を受けることなく、形成する位置を自由に選定することができる。さらに、支柱部においても半導体基板1又は下部配線層2と上部配線層5との間への支柱6の介在を最小限にすることができるので、エア・アイソレーションによる寄生容量低下の効果を充分に発揮することができる。

#### (実施例)

##### [実施例1]

第4図～第13図は、第1の実施例の各工程を示す図である。

以下、第4図～第13図を用いて、第1の実施例を説明する。

##### (工程1、第4図参照)

半導体基板101の表面に下部配線層102を形成する。

Si樹脂+レジスト等の多層レジストなどを用いる。このエッチング・マスクは、使用後、CF<sub>4</sub>プラズマなどで除去する。

第8図は、ポリイミド層103のエッチング領域107をエッチングにより除去した後のA-A'断面図である。また、第9図(a)は、B-B'断面図であり、第9図(b)は、C-C'断面図である。

##### (工程5、第10図参照)

表面に、CVD法により、SiO<sub>2</sub>やPSGなどの絶縁膜109を堆積させる。この時、CVD膜109が、開口部108の内部に充分に入り込むようにする。

##### (工程6、第11図参照)

RIE等の異方性エッチングにより、ポリイミド層103の上面及び上部配線層105の上面に堆積されたCVD膜109をエッチバックする。

##### (工程7、第12図及び第13図参照)

O<sub>2</sub>プラズマなどの等方性エッチングにより、ポリイミド層103を除去する。この時、上部配

##### (工程2、第5図参照)

下部配線層102が形成された半導体基板101の表面に層間絶縁膜としてのポリイミド層103を堆積させる。その後、エッチング等により、ポリイミド層103の所定の位置に所定の大きさのコンタクト窓104を形成する。

##### (工程3、第6図参照)

ポリイミド層103の表面に上部配線層105を形成する。この時、上部配線層105を構成する金属は、コンタクト窓104の内部にも充填させて、下部配線層102と上部配線層105とを接続するコンタクト部106を形成する。

##### (工程4、第7図～第9図参照)

第7図は、工程3までの状態を上から見た図である。

本工程では、点線で囲んだエッチング領域107のポリイミド層103を、O<sub>2</sub>ガスによるRIE(反応性イオン・エッチング)などの異方性エッチングにより除去して、開口部108を形成する。エッチング・マスクとしては、Siレジストや

線層105の下部のポリイミド層103も完全に除去される。

以上の工程を経て、第13図に示すエア・アイソレーションされた多層配線が完成する。第13図において、支柱111は、CVD膜109から構成されている。

##### [実施例2]

本実施例は、実施例1の工程7の次に、次の工程を付け加える。

##### (工程8、第14図参照)

第1の実施例の工程7の後、CVD膜109の表面に、SiO<sub>2</sub>やPSGなどを堆積させて第2のCVD膜112を形成する。

こうすることにより、第13図に示した支柱111の物理的強度が、より向上する。

##### [実施例3]

本実施例は、第1の実施例で用いたCVD膜109の代わりにSOCを使用するものである。

工程1(第4図)～工程3(第6図)までは、実施例1と同じである。

(工程4, 第15図参照)

ポリイミド層103の表面に第2のポリイミド層113を堆積させる。

(工程5, 第16図参照)

支柱を作るべき部分のポリイミド層103及び第2のポリイミド層113をO<sub>2</sub>ガスのRIEなどの異方性エッチングにより除去して、開口部114を形成する。

(工程6, 第17図参照)

全面にSOG115を塗布する。この時、SOG115が開口部114の内部に充分行き渡るようにする。

(工程7, 第18図参照)

RIE等の異方性エッチングにより、上部配線層105及び第2のポリイミド層113の表面に塗布されたSOG115をエッチバックして除去する。

(工程8)

実施例1の工程7(第12図)と同じである。

結果として、第13図に示したものが完成する。

込みにより除去され、エア・アイソレーション部118が形成される。

以上の工程を経て、第13図に示すエア・アイソレーションされた多層配線が完成する。

[エッチング・パターン]

第22図～第26図は、上部配線層を支える支柱を形成すべき部分のポリイミド層をエッチングにより除去するためのエッチング・パターンを示したものである。

第22図～第26図において、201は下部配線層、202は上部配線層、203はエッチング・パターンである。

第22図のエッチング・パターンと第23図のエッチング・パターンを比較すると、下部配線層と上部配線層のパターンは同じであるが、ポリイミド層をサイド・エッチングする量から、第23図に示すエッチング・パターンの方が望ましい。

また、第25図のエッチング・パターンと第26図のエッチング・パターンを比較すると、下部配線層と上部配線層のパターンは同じであるが、

[実施例4]

本実施例は、上部配線層を支える支柱が、上部配線層をその側面及び下面の端部で支える構造をなすように形成するものである。

工程1(第4図)～工程4(第7図～第9図)は、実施例1と同じである。

(工程5, 第19図参照)

開口部108のポリイミド層103をO<sub>2</sub>プラズマなどの等方性エッチングで少しエッチングすることにより、上部配線層105の下部の端部にサイド・エッチング部116を形成する。

(工程6, 第20図参照)

全面にCVD法により、SiO<sub>2</sub>やPSGなどのCVD膜117を堆積させる。この時、CVD膜117が開口部108の内部、特にサイド・エッチング部116に付着するようにする。

(工程7, 第21図参照)

O<sub>2</sub>プラズマなどの等方性エッチングにより、ポリイミド層103を除去する。上部配線層105の下部のポリイミド層103は、横からの回り

ポリイミド層をサイド・エッチングする量から、第25図に示すエッチング・パターンの方が望ましい。

[発明の効果]

本発明によれば、エア・アイソレーションされた多層配線において、下部配線層と上部配線層とを接続するコンタクト部に制約を設けることなく、上部配線層に十分な強度をもたせ、かつエア・アイソレーションによる寄生容量低下の効果を損なわないようにすることができる。

したがって、低配線容量のLSIを作成することが可能になり、LSIの高速化を実現することができる。

#### 4. 図面の簡単な説明

第1図は本発明の原理説明図。

第2図(a)～(c)及び第3図(a)～(c)は支柱の各種の構造を示す図。

第4図～第13図は実施例1の各工程を示す図。

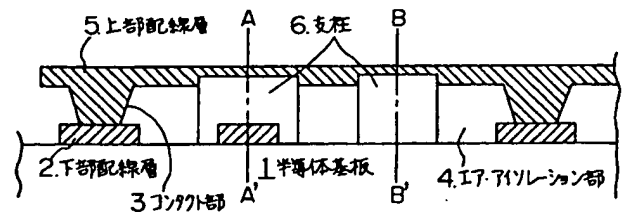
第14図は実施例2の部分工程図。  
 第15図～第18図は実施例3の部分工程図。  
 第19図～第21図は実施例4の部分工程図。  
 第22図～第26図はエッチング・パターンの例を示す図。

第27図～第30図は従来例を示す図。  
 第31図は従来の問題点を示す図。  
 第32図は従来の改善例を示す図である。

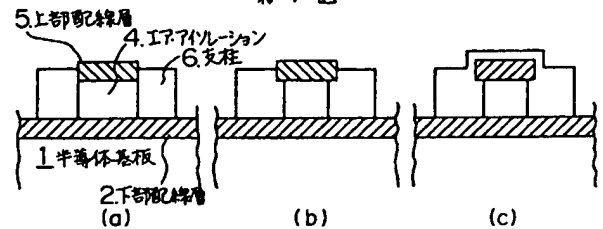
第1図において

- 1: 半導体基板
- 2: 下部配線層
- 3: コンタクト部
- 4: エア・アイソレーション部
- 5: 上部配線層
- 6: 支柱

特許出願人 富士通株式会社  
 代理人弁理士 長谷川 文廣(外2名)

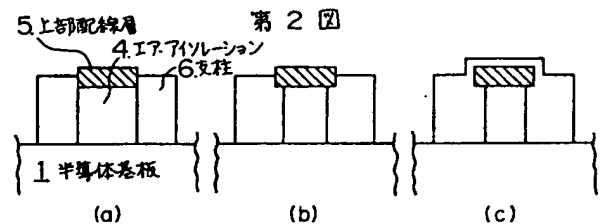


第1図



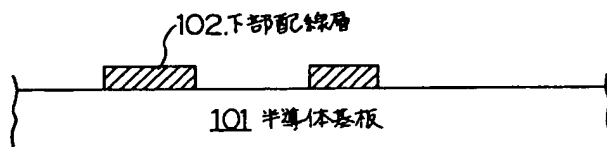
A-A'断面図

第2図

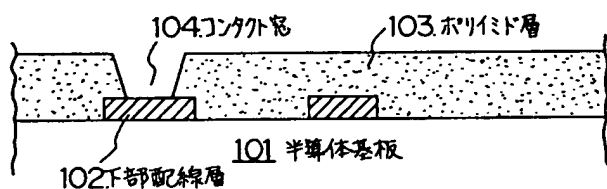


B-B'断面図

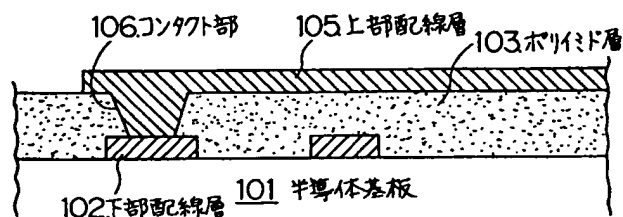
第3図



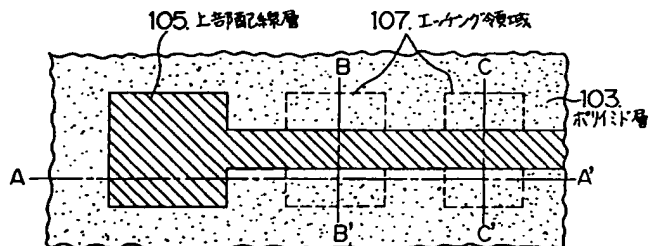
第4図



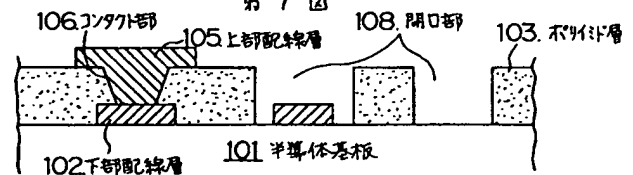
第5図



第6図

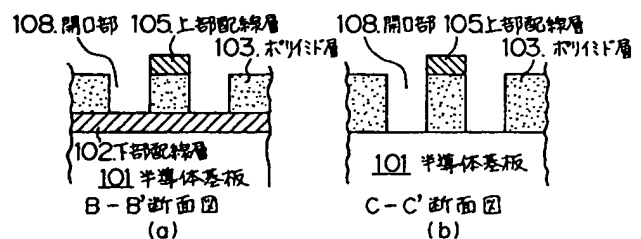


第7図



A-A'断面図

第8図

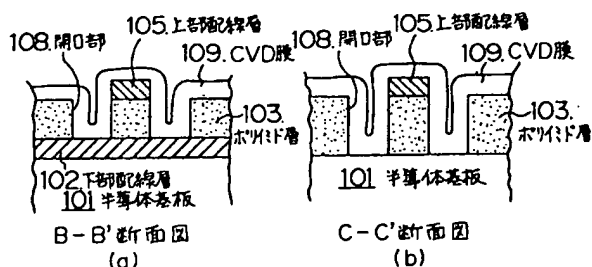


B-B'断面図

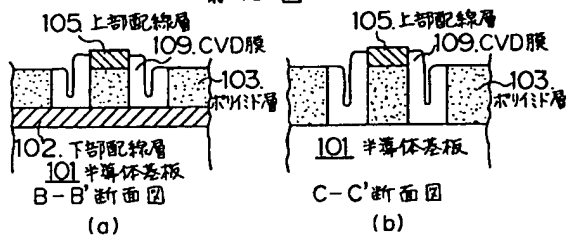
(a)

(b)

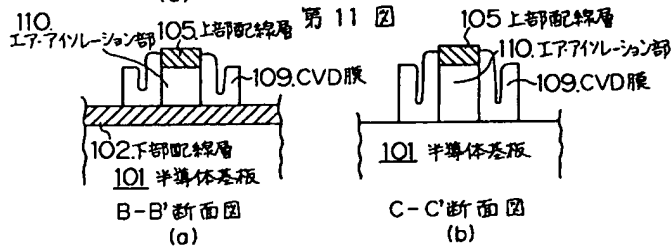
第9図



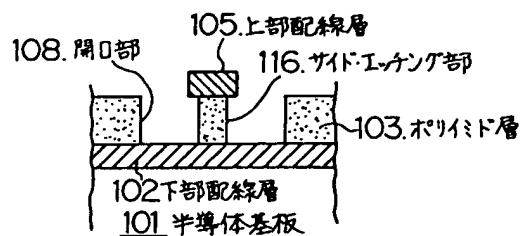
第 10 回



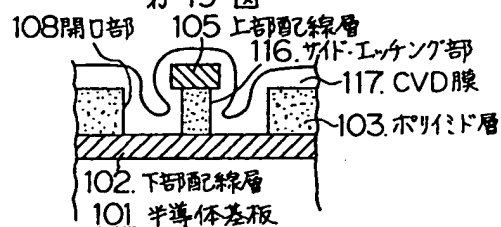
第 11 圖



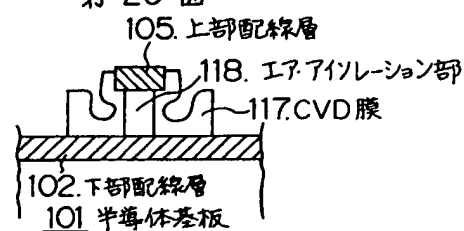
第 12 圖



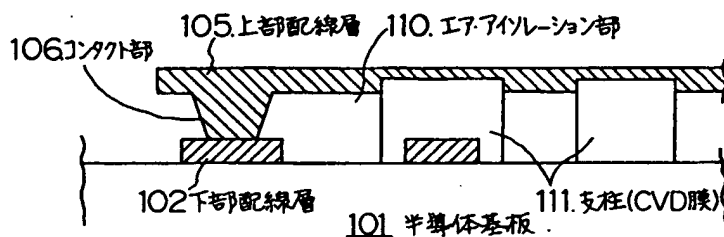
第 19 圖



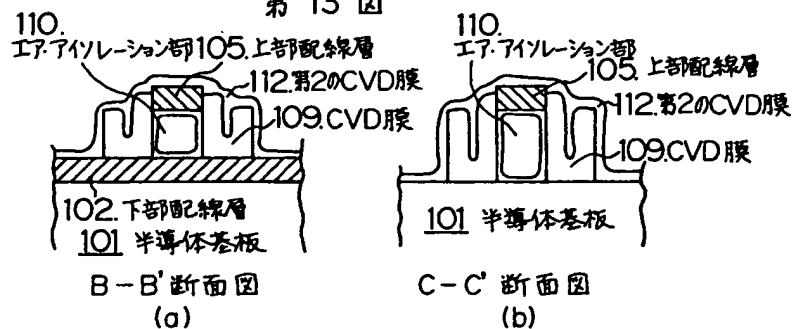
第 20 圖



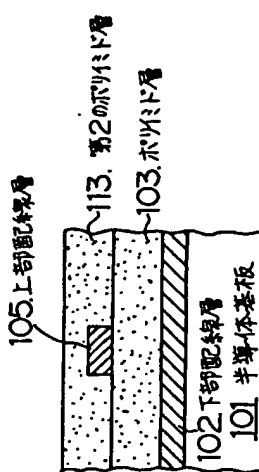
第 21 圖



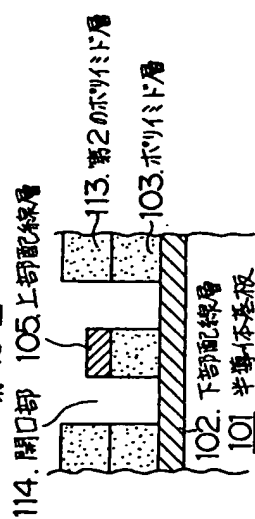
第 13 図



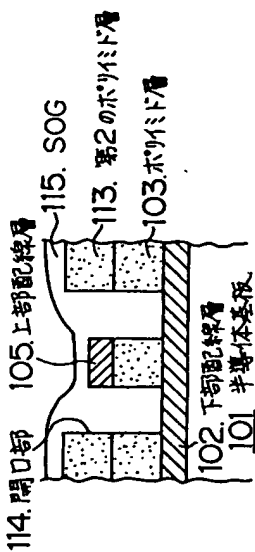
第 14 圖



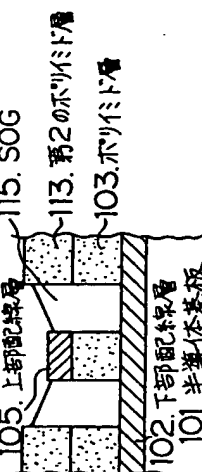
第 15 図



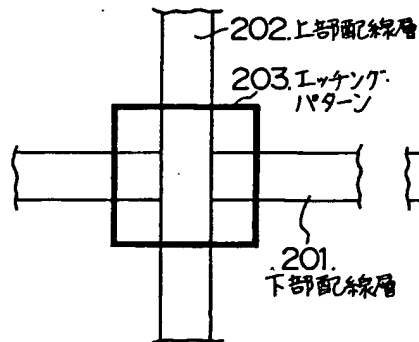
第 16 図



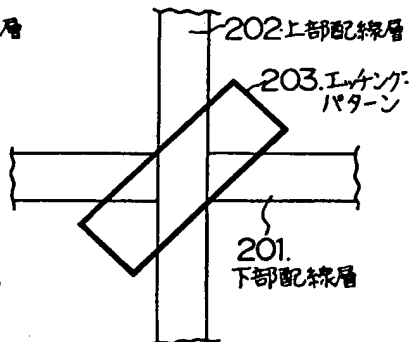
第 17 図



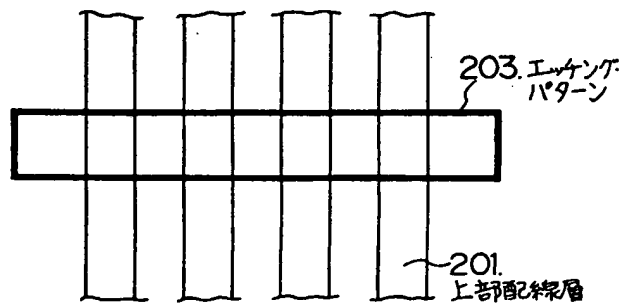
第 18 図



第 22 図

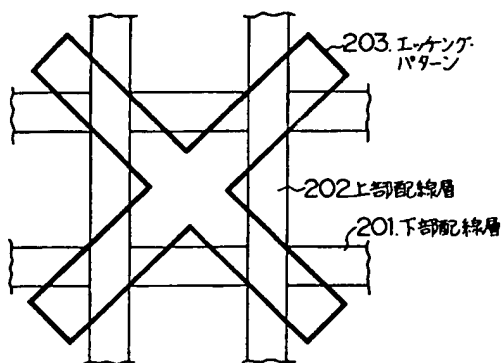


第 23 図

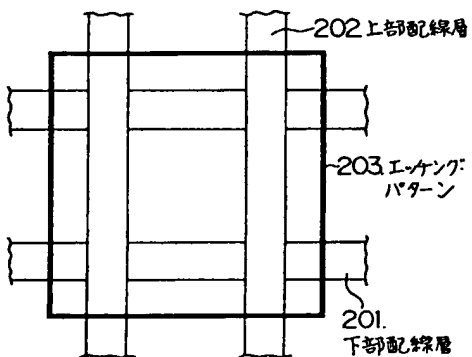


第 24 図

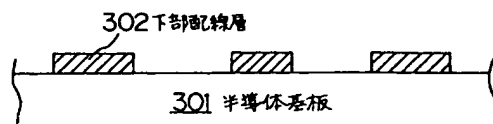




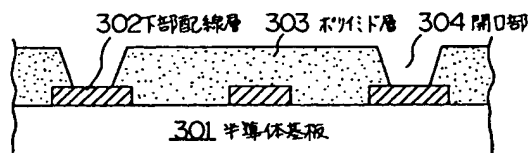
第 25 図



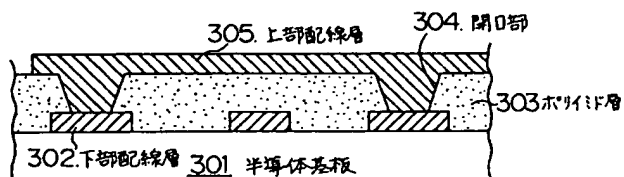
第 26 図



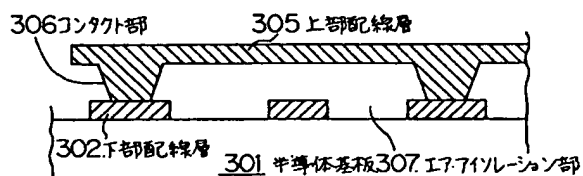
第 27 図



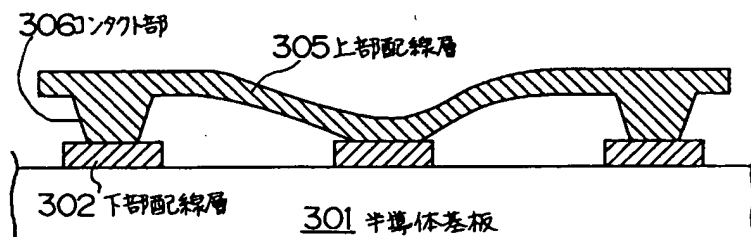
第 28 図



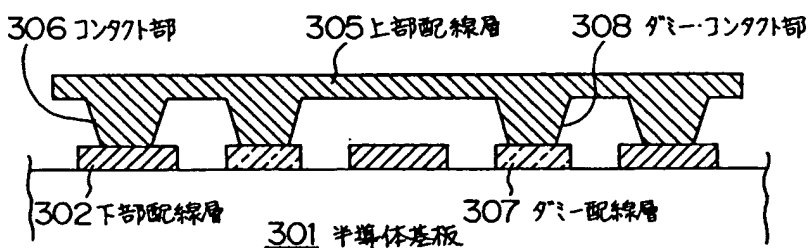
第 29 図



第 30 図



第 31 図



第 32 図

PAT-NO: JP401318248A  
DOCUMENT-IDENTIFIER: JP 01318248 A  
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE  
THEREOF  
PUBN-DATE: December 22, 1989

INVENTOR-INFORMATION:  
NAME  
TSUCHITANI, TAKAHIRO  
NAGAMINE, SHUNICHI  
TOYOFUKU, TAKESHI  
SASAKI, SEIJI

ASSIGNEE-INFORMATION:  
NAME FUJITSU LTD COUNTRY  
N/A

APPL-NO: JP63151653  
APPL-DATE: June 20, 1988

INT-CL (IPC): H01L021/90  
US-CL-CURRENT: 148/DIG.73, 257/776 , 438/FOR.438

ABSTRACT:

PURPOSE: To reinforce in mechanical strength an upper wiring layer and maintain the effect of parasitic capacitance reduction yielded by air isolation in air-isolated multi-layer wiring by providing insulating supporters along longer distance regions between contacts and along intersecting regions between a lower wiring layer and an upper wiring layer.

CONSTITUTION: A contact region 3 electrically connects between a lower wiring layer 2 and an upper wiring layer 5 and physically supports the upper wiring layer 5. An air-isolation region 4 includes the upper wiring layer 5 from other regions. The upper wiring layer 5 interconnects various constituted elements formed interiorly of a semiconductor substrate 1. Struts 6 comprising an insulator and physically supports the upper wiring layer 5. The strut 6 can freely select its position to be formed without restriction by a pattern of the lower wiring layer 2. Additionally, also in the strut region, intervention of the strut 6 into a portion between the semiconductor substrate 1 or the lower wiring layer 2 and the upper wiring layer 5 can be limited to the minimum. Hereby, it is possible to satisfactorily manifest the effect of lowering of parasitic capacitance due to the air-isolation.

COPYRIGHT: (C)1989,JPO&Japio